郑州轻工业大学

**实验报告**

**课程名称：** FPGA系统设计

**姓 名：** 原彬贺

**院 （系）：** 计算机与通信工程学院

**专业班级：** 计算机科学与技术2002

**学 号：** 542001020223

**指导教师：** 耿鑫

**成 绩：**

**时间：** 2022 **年** 6 **月** 4 **日**

目　　录

1任务与要求………………………………………………………… ……………… 1

2实验内容………………………………………………………… ……………… 1

3实验过程和结果………………………………………………………… ……………… 4

4. 总结和体会

# 设计任务和要求

**任务**：完成基于Verilog的蜂鸣器奏乐功能。

**要求**：Verilog语言编写程序，实现蜂鸣器奏乐功能，其中FPGA时钟为48Mhz，要求单独设计分频函数，主程序调用函数，并且完成依次演奏1，2，3，...7音调。

# 实验内容

* 1. 掌握分频模块的设计及函数调用功能，理解蜂鸣器奏乐的原理；
  2. 使用Verilog语言编程，依次演奏不同音调，每个音调的时间可自行设置；
  3. 编写testbench文件，用Multisim仿真，输出波形图，并验证实验结果。

## 3 实验过程及结果

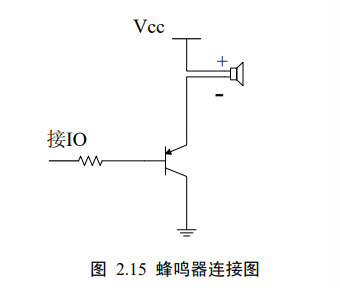
在QUARTUSII环境下，进行Verilog程序设计，完成蜂鸣器奏乐设计，观察生成的RTL流图。

### 3.1蜂鸣器奏乐的原理

蜂鸣器原理：

蜂鸣器工作方式，通过调整P23口的高低电平，来实现三极管的开关作用，之所以通过三极管的发射极引导电流进入集电极，而不是用P23直接加到蜂鸣器上，是因为单片机的功率很小，虽然可以输出很高的电压，但是是无法驱动这种功率器件的。当P23口输出高电平（5V）时，VCC即电源也是5V，此时三极管没有导通，所以蜂鸣器无反应，当输出低电平时，发射极电压远大于基极，电流从发射极流入集电极，蜂鸣器震动。

图 2.15蜂鸣器连接图。



### 3.2 Verilog语言实现蜂鸣器奏乐的代码设计

module beep(clk,key,beep);

input clk;

input key;

output beep;

reg beep;

reg[20:0] count;

reg[20:0] n = 120000;

reg[20:0] m;

always@(posedge clk)

begin

if(n==21'b111111111111111111111)

n<=m;

else

case(key)

1'b0:begin

n=n+10000;

m = n;

end

1'b1:n=n;

default:n=n;

endcase

end

always @ (posedge clk)

begin

if ( count < n/2-1)

begin

count <= count + 1'b1;

end

else

begin

count <= 21'b0;

beep <= ~beep;

end

end

endmodule

3.3测试文件的编写

always @(posedge clk or negedge rst\_n) begin

if(!rst\_n) begin

buzzer <= 1'b1;

end

else if(pre\_set != M0) begin

if(cnt1 < cishu\_div) begin

if(cnt0 < pre\_div) begin

buzzer <= 1'b1;

end

else begin

buzzer <= 1'b0;

end

end

else begin

buzzer <= 1'b1;

end

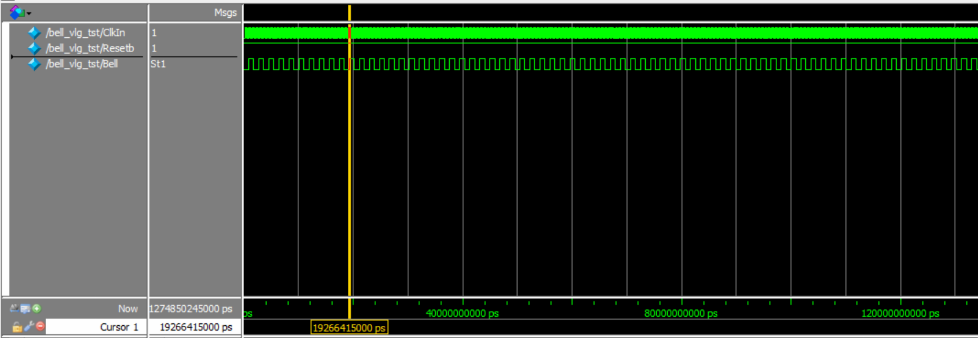
end

else

buzzer <= 1'b1;

end

3.3 实验结果分析（包括编译、波形仿真等）



# 4实验总结和心得

通过本次实验设计，完成了基于Verilog的蜂鸣器奏乐功能设计

以及Verilog语言编写程序，实现蜂鸣器奏乐功能，其中FPGA时钟为48Mhz，要求单独设计分频函数，主程序调用函数，并且完成依次演奏1，2，3，...7音调，锻炼了实践操作能力。本实验要求我们掌握分频模块的设计及函数调用功能，让我理解了蜂鸣器奏乐的原理。同时也加深了我对于相关代码的理解。